

Patent
Attorney's Docket No. 026350-028

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re Patent Application of)

Toshiro HIRAMOTO et al.)

Application No.: 09/389,321)

Filed: September 3, 1999)

For: MOS TRANSISTOR WITH A)
CONTROLLED THRESHOLD)
VOLTAGE)

Group Art Unit: 2836

Examiner: T. Dickey

#10
RECEIVED
AUG 10 2001
TC 2800 MAIL ROOM

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 11-058958

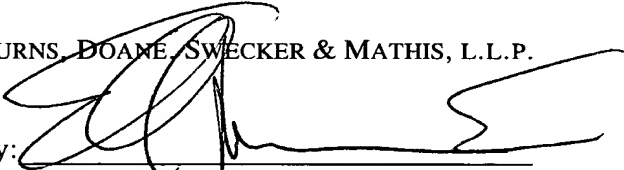
Filed: March 5, 1999

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: August 7, 2001

By: 
Ellen Marcie Emas
Registration No. 32,131

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this Office.

Date of Application : March 5, 1999

Application Number : Japanese Patent Application
No. 11-058958

Applicant(s) : President of THE UNIVERSITY OF TOKYO

Certified on May 28, 1999

Commissioner,
Patent Office

Takeshi ISAYAMA (Sealed)

Certification No. 11-3033493

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this Office.

Date of Application : March 5, 1999

Application Number : Japanese Patent Application
No. 11-058958

Applicant(s) : President of THE UNIVERSITY OF TOKYO

Certified on May 28, 1999

Commissioner,
Patent Office

Takeshi ISAYAMA (Sealed)

Certification No. 11-3033493

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED
AUG 10 2001
TC 2600 MAIL ROOM

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 3月 5日

出 願 番 号

Application Number:

平成11年特許願第058958号

出 願 人

Applicant (s):

東京大学長

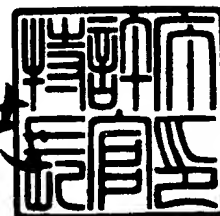


CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 5月28日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3033493

【書類名】 特許願

【整理番号】 F1999-080

【特記事項】 特許法第30条第1項の規定の適用を受けようとする特許出願

【提出日】 平成11年 3月 5日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 29/00

【発明の名称】 しきい値電圧を制御しうるMOSトランジスタを有する回路及びしきい値電圧制御方法

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県横浜市栄区小菅ケ谷 1-5-1-605

 【氏名】 平本 俊郎

【発明者】

 【住所又は居所】 東京都足立区千住 4-14-9 グリーンファンタジア 211号

 【氏名】 高宮 真

【特許出願人】

 【識別番号】 391012327

 【氏名又は名称】 東京大学長 蓮實 重彦

【代理人】

 【識別番号】 100059258

 【弁理士】

 【氏名又は名称】 杉村 暁秀

【選任した代理人】

 【識別番号】 100072051

 【弁理士】

 【氏名又は名称】 杉村 興作

【選任した代理人】

【識別番号】 100098383

【弁理士】

【氏名又は名称】 杉村 純子

【選任した代理人】

【識別番号】 100101096

【弁理士】

【氏名又は名称】 徳永 博

【選任した代理人】

【識別番号】 100100125

【弁理士】

【氏名又は名称】 高見 和明

【選任した代理人】

【識別番号】 100073313

【弁理士】

【氏名又は名称】 梅本 政夫

【選任した代理人】

【識別番号】 100097504

【弁理士】

【氏名又は名称】 青木 純雄

【選任した代理人】

【識別番号】 100102886

【弁理士】

【氏名又は名称】 中谷 光夫

【選任した代理人】

【識別番号】 100107227

【弁理士】

【氏名又は名称】 藤谷 史朗

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709970

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 しきい値電圧を制御しうるMOSトランジスタを有する回路及びしきい値電圧制御方法

【特許請求の範囲】

【請求項1】 しきい値電圧を制御しうるMOSトランジスタを具え、そのMOSトランジスタが、半導体材料によって構成された基板、半導体材料によって構成された単結晶層及びこれら基板と単結晶層との間に介在する絶縁層を有するSOIを有し、前記単結晶層に、ソース領域と、ドレイン領域と、これらソース領域とドレイン領域とによって包囲された包囲領域とが形成され、その包囲領域の空乏層が前記絶縁層に達し、前記MOSトランジスタを、前記基板に第1の極性の電圧を印加することによって、前記包囲領域の前記絶縁層に対する接合面付近に第2の極性の電荷を誘起させたEIB-MOSトランジスタとしたことを特徴とするしきい値電圧を制御しうるMOSトランジスタを有する回路。

【請求項2】 前記EIB-MOSトランジスタを、DTMOS技術を用いて構成したEIB-DTMOSトランジスタとしたことを特徴とする請求項1記載のしきい値電圧を制御しうるMOSトランジスタを有する回路。

【請求項3】 前記EIB-DTMOSトランジスタを、チャネルに誘起されるキャリアと同一の導電型となるようにチャネルを不純物ドーピングしたアキュムレーションモードDTMOSトランジスタとしたことを特徴とする請求項2記載のしきい値電圧を制御しうるMOSトランジスタを有する回路。

【請求項4】 前記EIB-MOSトランジスタによってCMOS回路を構成したことを特徴とする請求項1から3のうちのいずれか1項に記載のしきい値電圧を制御しうるMOSトランジスタを有する回路。

【請求項5】 しきい値電圧を制御しうるMOSトランジスタを具え、そのMOSトランジスタが、半導体材料によって構成された基板、半導体材料によって構成された単結晶層及びこれら基板と単結晶層との間に介在する絶縁層を有するSOIを有し、前記単結晶層に、ソース領域と、ドレイン領域と、これらソース領域とドレイン領域とによって包囲された包囲領域とが形成され、その包囲領域の空乏層が前記絶縁層に達し、前記MOSトランジスタを、前記基板に第1の極性

の電圧を印加し、前記包囲領域の前記絶縁層に対する接合面付近に第2の極性の電荷を誘起させたE I B-MOSトランジスタとすることを特徴とするしきい値電圧制御方法。

【請求項6】 前記E I B-MOSトランジスタを、DTMOS技術を用いて構成したE I B-DTMOSトランジスタとしたことを特徴とする請求項5記載のしきい値電圧制御方法。

【請求項7】 前記E I B-MOSトランジスタを、チャンネルに誘起されるキャリアと同一の導電型となるようにチャンネルを不純物ドーピングしたアキュムレーションモードE I B-DTMOSトランジスタとしたことを特徴とする請求項5記載のしきい値電圧制御方法。

【請求項8】 前記E I B-MOSトランジスタによってCMOS回路を構成したことを特徴とする請求項7記載のしきい値電圧制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、大規模半導体集積回路（VLSI）を構成するしきい値電圧を制御しうるMOSトランジスタを有する回路及びそれに含まれるしきい値電圧制御方法に関するものである。

【0002】

【従来の技術】

現在のVLSIの消費電力は増大の一途をたどっている。最近では、携帯端末用途など電池駆動のVLSIも多くなっており、高速性を維持しながら消費電力を大幅に低減させることが急務になっている。

【0003】

VLSIを構成する金属-酸化膜-半導体（MOS）トランジスタにおいて、高速性及び消費電力に関連する最も重要なパラメータは、そのしきい値電圧である。高速性を実現するためにはしきい値電圧を低下させる必要があるが、しきい値電圧が低いとMOSトランジスタオフ時のリーク電流が増大し、その結果、MOSトランジスタの消費電力が増大する。

【0004】

通常、しきい値電圧はMOSトランジスタのオン時・オフ時を通じてほぼ一定であるが、MOSトランジスタの基板部分の電圧を変更することによってしきい値電圧を制御することができる。すなわち、しきい値電圧の変化値 ΔV_{th} は、基板部分の電圧を V_{bs} とすると、

【0005】

【数1】

$$\Delta V_{th} = -\gamma V_{bs}$$

で与えられる。ここで、 γ は基板バイアス定数と呼ばれている。この結果、MOSトランジスタの高速性及び消費電力の低減を両立させる方法としては、MOSトランジスタの基板部分の電圧を変化させてMOSトランジスタのオン時のしきい値電圧を低下させるとともにオフ時のしきい値電圧を上昇させる方法を挙げることができる。

【0006】

その具体的な方法として、VTMOS (Variable Threshold MOS) 技術及びDTMOS (Dynamic Threshold MOS) 技術が提案されている。

【0007】

VTMOS技術を用いて構成されたVTMOSトランジスタでは、そのしきい値電圧を、VTMOSトランジスタが取り付けられたチップ全体で制御する。この場合、VTMOSトランジスタのオン時に基板部分に所定の電圧を印加するが、そのオフ時には、そのチップ全体で基板部分の電圧にオン時の電圧未満の電圧を印加して、しきい値電圧を上昇させている。

【0008】

それに対して、DTMOS技術を用いて構成されたDTMOSトランジスタでは、図10に示すようなn型DTMOSトランジスタの場合、p型の半導体材料（例えば、シリコン）によって構成された基板1、半導体材料（例えば、シリコン）によって構成された単結晶層2及びこれら基板1と単結晶層2との間に介在する絶縁層3（例えば、酸化シリコン層）を有するSOI4を具え、単結晶層2

には、n型のソース領域5と、n型のドレイン領域6と、これらソース領域5とドレイン領域6とによって包囲されたp型のボディ7とが形成され、ボディ7上にゲート酸化膜8を介して配置されたゲート電極9を、ワイヤ10を介してボディ7と電氣的に接続して、そのしきい値電圧を制御する。すなわち、各DTMOSトランジスタのオン時にはそのしきい値電圧が常に低下し、オフ時にはしきい値電圧が常に上昇する。

【0009】

DTMOSトランジスタ及び通常のMOSトランジスタのゲート特性を、横軸にゲート電圧 V_{gs} をとるとともに縦軸にドレイン電流 I_{ds} をとった図11のグラフを参照して説明する。 $V_{bs}=0$ に相当する曲線が通常のMOSトランジスタである。DTMOSトランジスタの場合、オン時はゲート電圧 V_{gs} が基板部分の電圧 V_{bs} に等しいので、しきい値電圧が ΔV_{th} だけ低下する。オフ時のリーク電流が同一であるとする、DTMOSトランジスタは ΔV_{th} 分だけゲート駆動力が向上する。なお、図11の V_{dd} は電源電圧を表す。

【0010】

このようにして、VTMOS技術とDTMOS技術のいずれを用いても、MOSトランジスタの高速性を維持しながら消費電力を低減させることになる。

【0011】

【発明が解決しようとする課題】

〔数1〕を参照すると、しきい値電圧を効率的に制御するためには基板バイアス定数 γ を大きくすればよいことがわかる。しかしながら、一般的にはMOSトランジスタで基板バイアス定数を大きくするためには、MOSトランジスタの不純物濃度を上昇させる必要があるものでしきい値電圧それ自体も上昇し、その結果、MOSトランジスタの高速性が損なわれる。このような事情のために基板バイアス定数 γ の最適化がこれまで行われておらず、基板バイアス定数 γ の値は通常0.1～0.3程度となっている。

【0012】

ここで、通常のMOSトランジスタ及び通常の完全空乏型のSOI MOSトランジスタの基板バイアス定数 γ を、図12及び13を参照して説明する。図1

2に示す通常のN型チャネルのMOSトランジスタの場合、ソース領域11及びドレイン領域12が形成された基板13はP型となり、通常のP型チャネルのMOSトランジスタの場合、基板13はN型となる。基板13とゲート電極14との間に介在するゲート酸化膜15の厚さを t_{fox1} とし、ゲート酸化膜15の直下に形成された空乏層深さを l_d とすると、基板バイアス定数 γ は、

【0013】

【数2】

$$\gamma \doteq 3 t_{fox1} / l_d$$

となる。したがって、基板バイアス定数 γ を大きくするためには不純物イオン濃度を高くして空乏層深さを l_d を小さくする必要がある。しかしながら、既に説明したように不純物イオン濃度を高くするとしきい値電圧も高くなる。部分空乏型のSOI MOSトランジスタの場合も同様である。

【0014】

一方、図13に示したような完全空乏型のSOI MOSトランジスタの場合、SOI16の絶縁層18及び単結晶層17の厚さをそれぞれ t_{box} 及び t_{SOI} とし、ゲート酸化膜19の厚さを t_{fox2} とすると、空乏層深さが $t_{box} + t_{SOI}$ に相当し、基板バイアス定数 γ は、

【0015】

【数3】

$$\gamma \doteq 3 t_{fox2} / (3 t_{box} + t_{SOI})$$

となり、基板バイアス定数 γ が極めて小さい値になる。

【0016】

近年、VTMOS技術やDTMOS技術の特徴を従来以上に活用するとともに高速性と消費電力の低減との両立を可能にするために、MOSトランジスタのしきい値電圧を低下させたまま基板バイアス値を増大させることができるようにすることが所望されているが、かかる不都合のためにこれらの両立は困難なものとなっている。。

【0017】

本発明の目的は、更なる高速性及び消費電力の低減を可能にするしきい値電圧

を制御しうるMOSトランジスタを有する回路及びしきい値電圧を制御方法を提供することである。

【0018】

【課題を解決するための手段】

本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路は、しきい値電圧を制御しうるMOSトランジスタを具え、そのMOSトランジスタが、半導体材料によって構成された基板、半導体材料によって構成された単結晶層及びこれら基板と単結晶層との間に介在する絶縁層を有するSOIを有し、前記単結晶層に、ソース領域と、ドレイン領域と、これらソース領域とドレイン領域とによって包囲された包囲領域とが形成され、その包囲領域の空乏層が前記絶縁層に達し、前記MOSトランジスタを、前記基板に第1の極性の電圧を印加することによって、前記包囲領域の前記絶縁層に対する接合面付近に第2の極性の電荷を誘起させたEIB-MOSトランジスタとしたことを特徴とするものである。

【0019】

本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路によれば、基板に第1の極性の電圧（すなわち、正電圧又は負電圧）を印加する。これによって、基板に第1の極性の電荷が誘起される（正電圧を印加した場合には、正の電荷すなわちホールが誘起され、負電圧を印加した場合には、負の電荷すなわち電子が誘起される。）。このように第1の極性の電荷が誘起されることによって、空乏層が絶縁層に達した包囲領域の絶縁層に対する接合面付近に第2の極性の電荷が誘起される（正電圧を印加した場合には、負の電荷すなわち電子が誘起され、負電圧を印加した場合には、正の電荷すなわちホールが誘起される。）。

【0020】

このように絶縁層に対する接合面付近に第2の極性の電荷が存在することによって、MOSトランジスタの空乏層深さが単結晶層の厚さに相当することになる。既に説明したように、基板バイアス定数は空乏層深さに反比例するので、従来の完全空乏型SOI MOSトランジスタのように空乏層深さが単結晶層の厚さ

と絶縁層の厚さとの和に相当する場合に比べて基板バイアス定数を大きくすることができる。したがって、本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路によれば、不純物濃度を高くすることなく基板バイアス定数を大きくすることができ、その結果、しきい値電圧を制御しうるMOSトランジスタを有する回路の更なる高速性及び消費電力の低減を可能にする。

【0021】

本発明によるしきい値電圧制御方法は、しきい値電圧を制御しうるMOSトランジスタを具え、そのMOSトランジスタが、半導体材料によって構成された基板、半導体材料によって構成された単結晶層及びこれら基板と単結晶層との間に介在する絶縁層を有するSOIを有し、前記単結晶層に、ソース領域と、ドレイン領域と、これらソース領域とドレイン領域とによって包囲された包囲領域とが形成され、その包囲領域の空乏層が前記絶縁層に達し、前記MOSトランジスタを、前記基板に第1の極性の電圧を印加し、前記包囲領域の前記絶縁層に対する接合面付近に第2の極性の電荷を誘起させたEIB-MOSトランジスタとすることを特徴とするものである。

【0022】

本発明によれば、MOSトランジスタの更なる高速性及び消費電力の低減を可能にする。

【0023】

EIB-MOSトランジスタを、DTMOS技術を用いて構成したEIB-DTMOSトランジスタなどとしてことができ、好適には、チャネルに誘起されるキャリアと同一の導電型となるようにチャネルを不純物ドーピングしたアキュムレーションモードDTMOSトランジスタとする。また、EIB-MOSトランジスタによってCMOS (Complementary MOS) 回路を構成した場合にも本発明を適用することかできる。

【0024】

【発明の実施の形態】

本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路及びしきい値電圧を制御方法の実施の形態を、図面を参照して詳細に説明する。なお

、図面中の n 、 p 等は、その領域の導電型を表すものとする。

図 1 は、本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路の第 1 の実施の形態を示す図である。本実施の形態では、MOS トランジスタを n 型の SOI MOS トランジスタとし、この SOI MOS トランジスタは、シリコンによって構成された基板 20、単結晶シリコンによって構成された単結晶層 21 及びこれら基板 20 と単結晶層 21 との間に介在する SiO_2 によって構成された絶縁層 22 を有する SOI 23 を有する。

【0025】

単結晶層 21 には、 n 型のソース領域 24 と、 n 型のドレイン領域 25 と、これらソース領域とドレイン領域とによって包囲された包囲領域としてのボディ 26 とが形成される。ボディ 26 の空乏層は絶縁層 22 に達する。また、ボディ 26 とゲート電極 27 との間にゲート電極 28 が介在する。

【0026】

本実施の形態では、基板 20 に第 1 の極性の電圧として負の電圧 V_{sub1} を印加する。このような電圧 V_{sub1} を、しきい値電圧を制御しうる MOS トランジスタを有する回路の外部から印可し又はしきい値電圧を制御しうる MOS トランジスタを有する回路内部で生成して印加する。

【0027】

本実施の形態の動作を説明する。基板 20 に電圧 V_{sub1} が印加されると、基板 20 に電子が誘起される。このように電子が誘起されることによって、ボディ 26 の絶縁層 22 に対する接合面付近にホールが誘起される。すなわち、従来の完全空乏型 SOI トランジスタには存在しなかった P 型領域を、電圧 V_{sub1} によって電氣的にボディ 26 に設ける。このような構造の MOS トランジスタを、EIB (Electrically Induced Body) -MOS トランジスタと称する。

【0028】

このように接合面付近にホールが存在することによって、空乏層深さが単結晶層 21 の厚さ t_{SOI2} に相当することになる。したがって、ゲート酸化膜 28 の厚さを t_{fox3} とした場合、この SOI MOS トランジスタの基板バイアス定数 γ

は、

【0029】

【数4】

$$\gamma \doteq 3 t_{\text{fox3}} / t_{\text{SOI2}}$$

となり、基板バイアス定数 γ がボディ 26 の不純物濃度に依存しないこととなる。したがって、本実施の形態によれば、しきい値電圧に依存せずに基板バイアス定数 γ を設定することができ、しかも単結晶層 21 の厚さ t_{SOI2} が薄くなるに従って基板バイアス定数 γ が増大することがわかる。その結果、しきい値電圧を制御しうる MOS トランジスタを有する回路の更なる高速性及び消費電力の低減を可能にする。

【0030】

図 2 は、本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路の第 2 の実施の形態を示す図である。本実施の形態では、MOS トランジスタを n 型のインバージョンモード DT MOS トランジスタ 29 とし、その基板には負の電圧 V_{sub2} を印可する。本実施の形態も、上記実施の形態と同様の作用効果を有する。

【0031】

図 3 は、本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路の第 3 の実施の形態を示す図である。本実施の形態では、MOS トランジスタを、チャンネルに誘起されるキャリアと同一の導電型（この場合、n 型）となるようにチャンネルを不純物ドーピングした n 型のアキュミュレーションモード DT MOS トランジスタ 30 とし、その基板には負の電圧 V_{sub3} を印可する。本実施の形態では、後に説明するように、基板バイアス定数 γ を著しく増大させたまましきい値電圧が低下し、高速性及び消費電力の低減の両立に更に好適なものとなる。

【0032】

図 4 は、本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路の第 4 の実施の形態を示す図である。本実施の形態では、n 型及び p 型のインバージョンモード DT MOS トランジスタによって CMOS 回路 31 を構成し

、その基板に負の電圧 V_{sub4} 及び正の電圧 V_{sub5} をそれぞれ印加する。本実施の形態も、上記実施の形態と同様の作用効果を有する。

【0033】

図5は、本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路の第5の実施の形態を示す図である。本実施の形態では、n型及びp型のアキュムレーションモードDTMOSトランジスタによってCMOS回路32を構成し、その基板に負の電圧 V_{sub6} 及び正の電圧 V_{sub7} をそれぞれ印加する。本実施の形態も、上記実施の形態と同様の作用効果を有する。

【0034】

次に、EIB-DTMOSトランジスタ、完全空乏型SOI MOSトランジスタ及び基板部分の電圧が零のEIB-MOSトランジスタの特性を、図6及び7を用いて比較する。なお、いずれのトランジスタも、ゲート酸化膜、単結晶層及び絶縁層の厚さをそれぞれ10nm、40nm及び100nmとし、ボディP型（したがってインバーションモード）で不純物濃度を 10^{16} cm^{-3} とする。

図6は、サブスレッショルド特性を示す図である。この場合、横軸にゲート電圧 V_{gs} をとるとともに縦軸にドレイン電流 I_{ds} をとる。曲線FDで示す完全空乏型SOI MOSトランジスタの場合、オン時の電流が大きい反面オフ時（ $V_{\text{gs}} = 0$ ）のときのドレイン電流が非常に大きくなる。一方、曲線ETICで示す基板部分の電圧が零のEIB-MOSトランジスタの場合、オフ時の電流が低く抑制されているが、オン時の電流も小さく、高速性がないことがわかる。曲線EIB-DTMOSで示すEIB-DTMOSトランジスタの場合、しきい値電圧がオン時とオフ時でダイナミックに変化するために、オン時の電流は大きくなり、かつ、オフ時の電流が小さくなり、その結果、高速性と消費電力の低減とが両立される。

【0035】

図7は、オン電流／オフ電流特性を示す図である。この場合、横軸にオン電流 I_{on} をとるとともに縦軸にオフ電流 I_{off} をとる。図からわかるように、EIB-DTMOSトランジスタの場合、オフ電流が小さくオン電流が大きいことがわかる。なお、この場合のEIB-DTMOSトランジスタの基板バイアス定数 γ

は0.8であった。また、EIB-DTMOSトランジスタの他の特徴として、短チャネル効果に強いということも挙げることできる。

【0036】

次に、従来のDTMOSトランジスタ及びEIB-DTMOSトランジスタの特性を、図8及び9を用いて比較する。

図8は、しきい値電圧と基板バイアス係数との関係を示す図である。この場合、横軸に基板バイアス定数 γ をとるとともに縦軸にしきい値電圧 V_{th} をとる。また、従来のDTMOSトランジスタの変化を曲線Conv.で示し、インバージョンモードのEIB-DTMOSトランジスタの変化を、Inv. EIBで示し、アキュムレーションモードのEIB-DTMOSトランジスタの特性をAcc. EIBで示す。図からわかるように、アキュムレーションモードのEIB-DTMOSトランジスタではしきい値電圧 V_{th} を低く維持したまま基板バイアス定数 γ を大きくできることがわかる。

【0037】

図9は、オン電流／オフ電流特性を示す図である。この場合、横軸にオン電流 I_{on} をとるとともに縦軸にオフ電流 I_{off} をとる。図からわかるように、アキュムレーションモードのEIB-DTMOSトランジスタでは、高速性と高速性と消費電力の低減とが最も両立されていることがわかる。

【0038】

本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。例えば、上記実施の形態については、N型のMOSトランジスタについて説明したが、P型のMOSトランジスタについても本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路及びしきい値電圧を制御方法を同様に適用することができる。しきい値電圧を制御しうるMOSトランジスタとして、VTMOS技術を用いて構成したVTMOSトランジスタを用いることができる。また、他のしきい値電圧制御技術を用いて大きな基板バイアス定数を生かすこともできる。

【図面の簡単な説明】

【図1】本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回

路の第 1 の実施の形態を示す図である。

【図 2】本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路の第 2 の実施の形態を示す図である。

【図 3】本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路の第 3 の実施の形態を示す図である。

【図 4】本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路の第 4 の実施の形態を示す図である。

【図 5】本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路の第 5 の実施の形態を示す図である。

【図 6】サブスレッショルド特性を示す図である。

【図 7】オン電流／オフ電流特性を示す図である。

【図 8】しきい値電圧と基板バイアス係数との関係を示す図である。

【図 9】オン電流／オフ電流特性を示す図である。

【図 10】従来の DT MOS トランジスタを示す図である。

【図 11】DT MOS トランジスタ及び通常の MOS トランジスタのゲート特性を示す図である。

【図 12】従来の MOS トランジスタを示す図である。

【図 13】従来の SOI MOS トランジスタを示す図である。

【符号の説明】

- 1, 13, 20 基板
- 2, 17, 21 単結晶層
- 3, 18, 22 絶縁層
- 4, 16, 23 SOI
- 5, 11, 24 ソース領域
- 6, 12, 25 ドレイン領域
- 7, 26 ボディ
- 8, 15, 19, 28 ゲート酸化膜
- 9, 14, 27 ゲート電極
- 10 ワイヤ

29 インバージョンモードDTMOSトランジスタ

30 アキュムレーションモードDTMOSトランジスタ

31, 32 CMOS回路

I_{ds} ドレイン電流

l_d 空乏層の深さ

t_{box} 絶縁層18の厚さ

t_{fox1} ゲート酸化膜15の厚さ

t_{fox2} ゲート酸化膜19の厚さ

t_{fox3} ゲート酸化膜28の厚さ

t_{SOI1} 単結晶層17の厚さ

t_{SOI2} 単結晶層21の厚さ

V_{bs} ボディ部分の電圧

V_{dd} 電源電圧

V_{gs} ゲート電圧

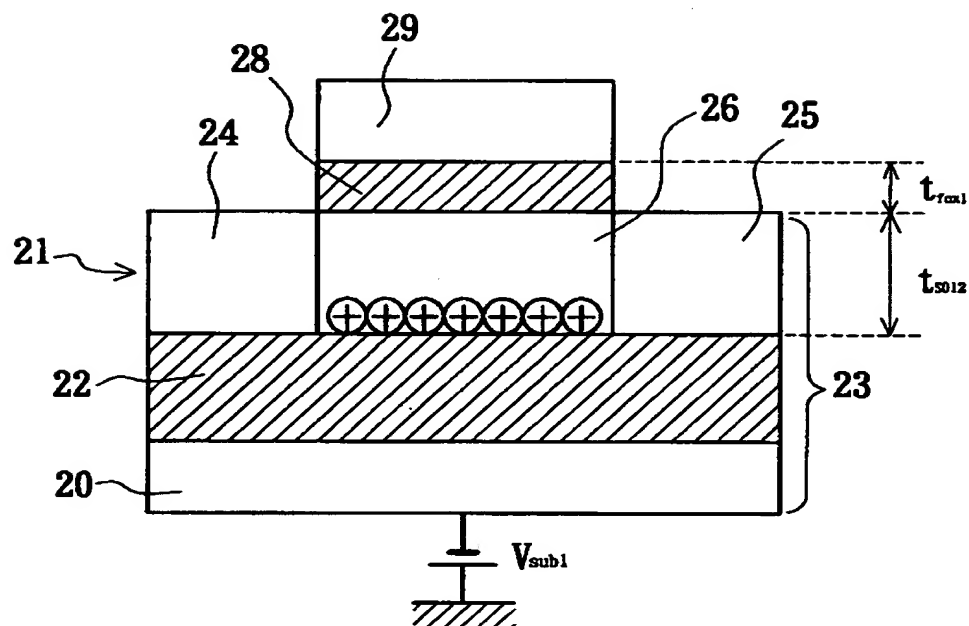
$V_{sub1}, V_{sub2}, V_{sub3}, V_{sub4}, V_{sub5}, V_{sub6}, V_{sub7}$ 基板電圧

V_{th} しきい値電圧

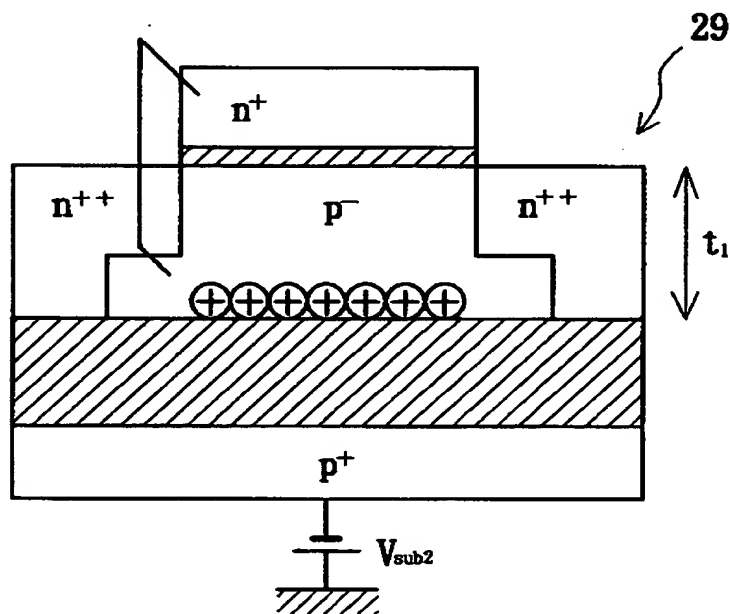
ΔV_{th} しきい値電圧の変化分

【書類名】 図面

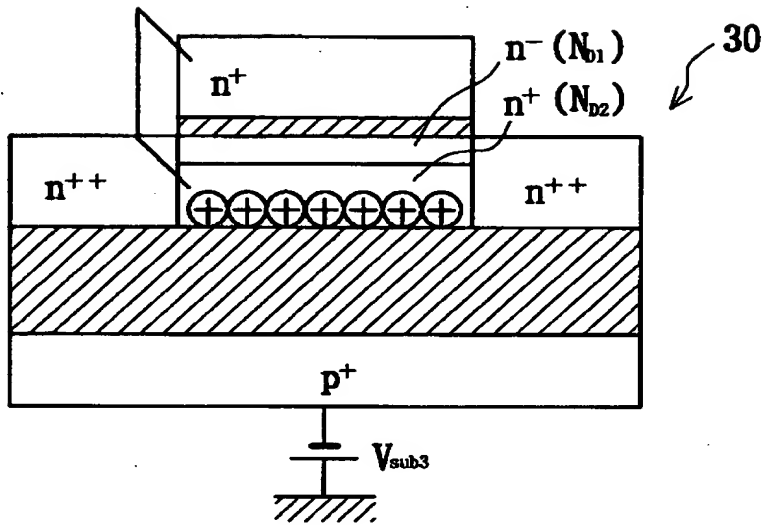
【図 1】



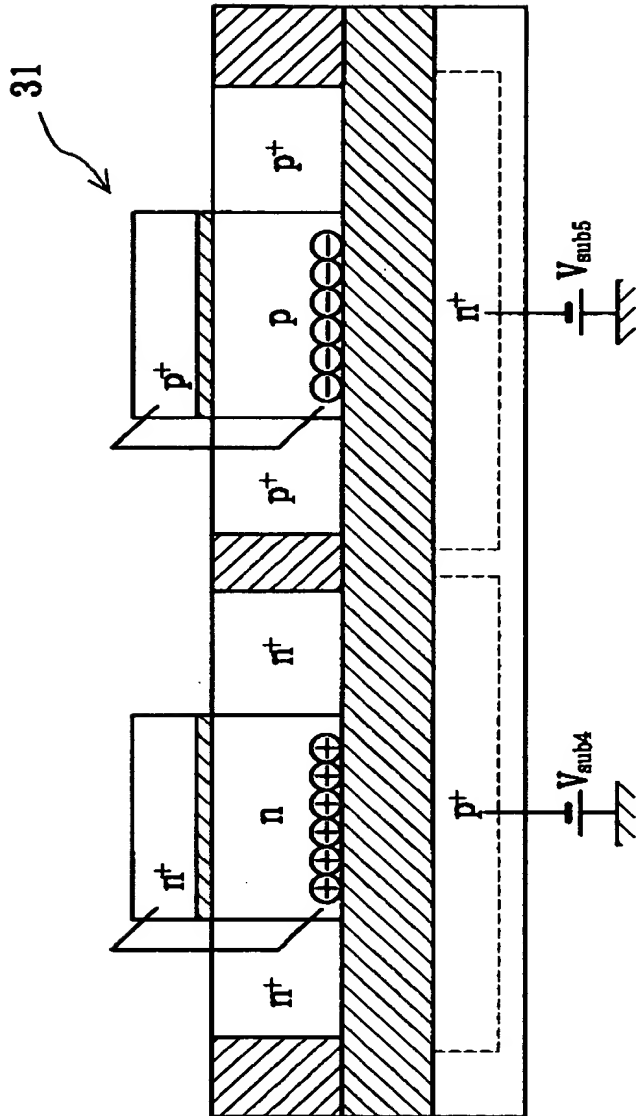
【図 2】



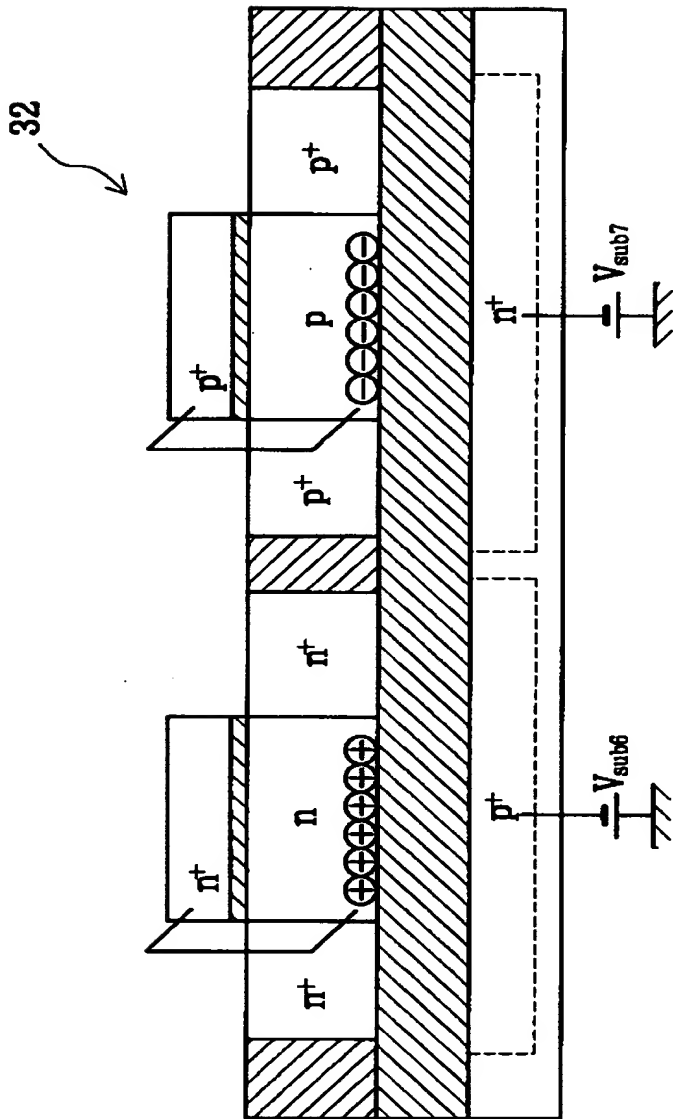
【図 3】



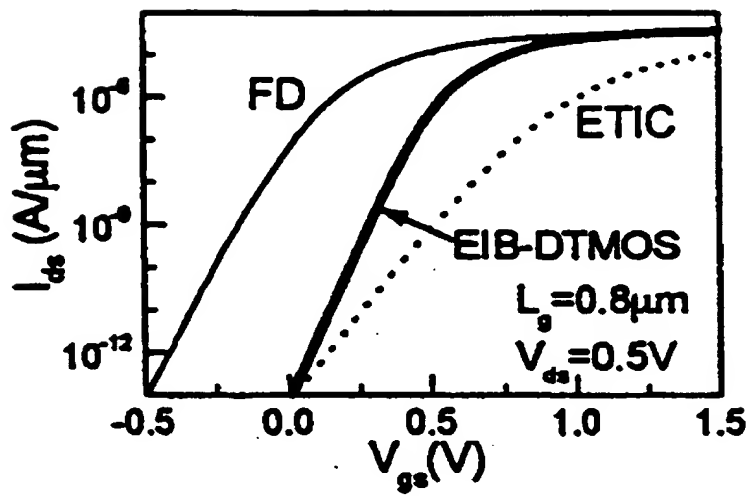
【図 4】



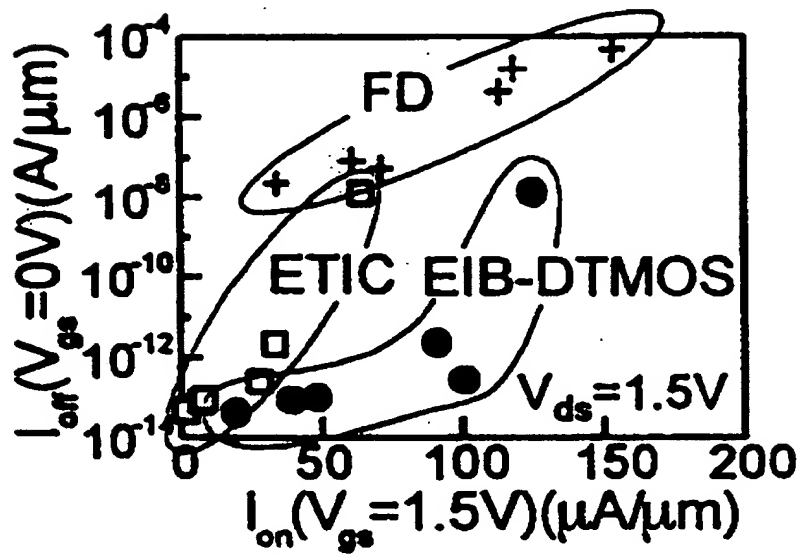
【図 5】



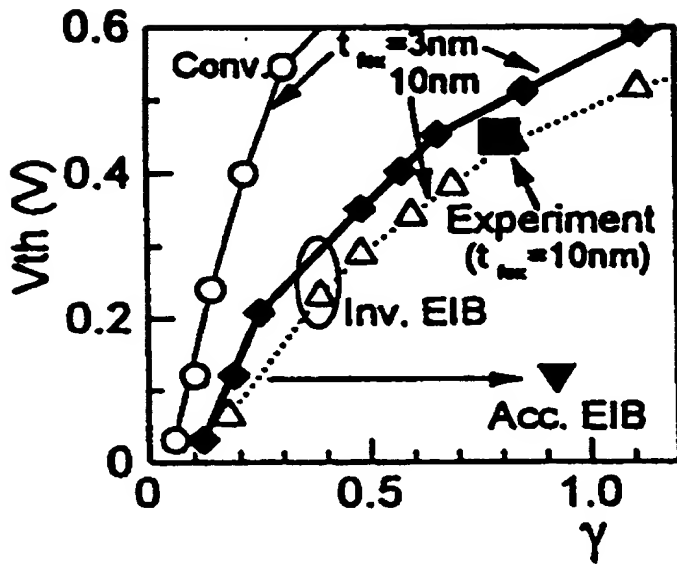
【図 6】



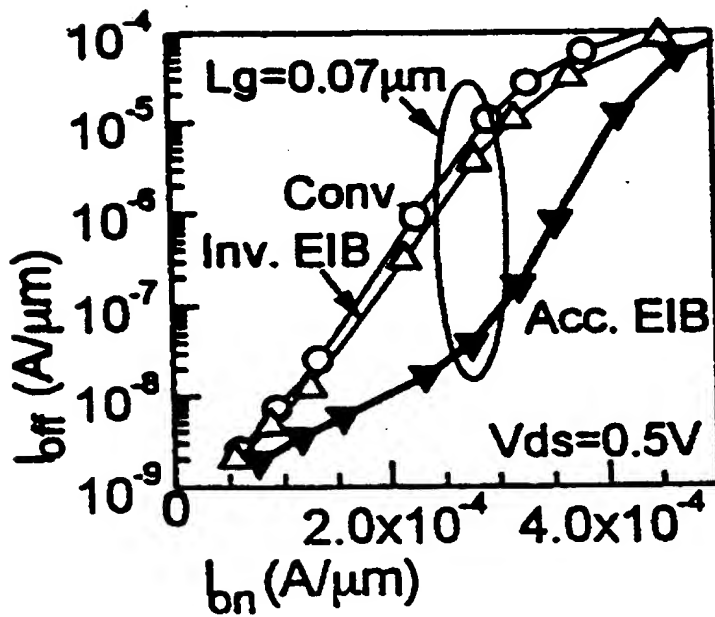
【図 7】



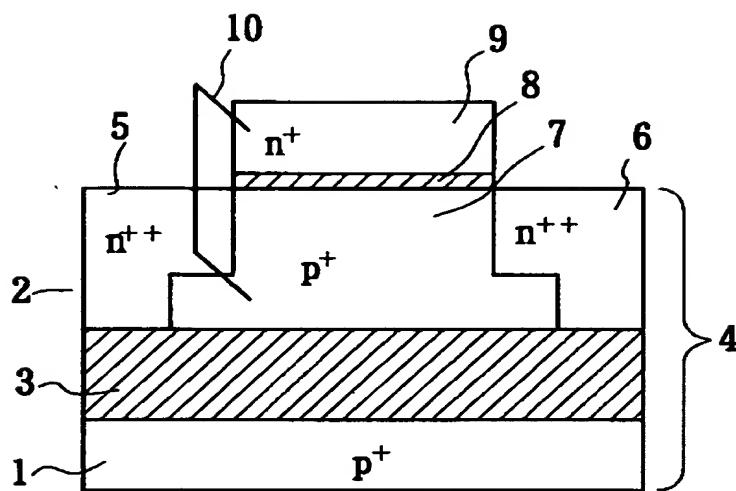
【图 8】



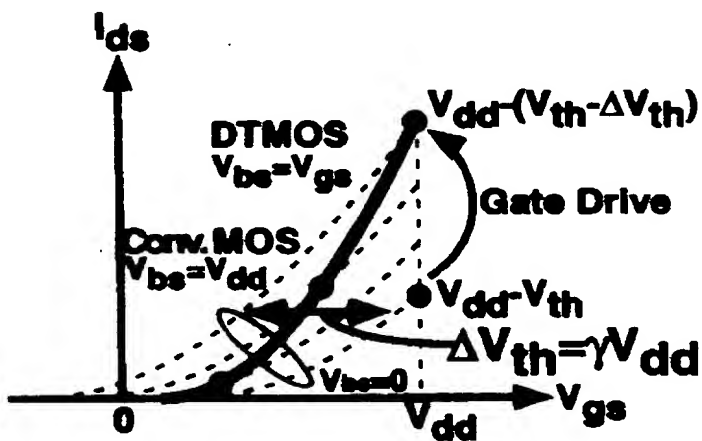
【图 9】



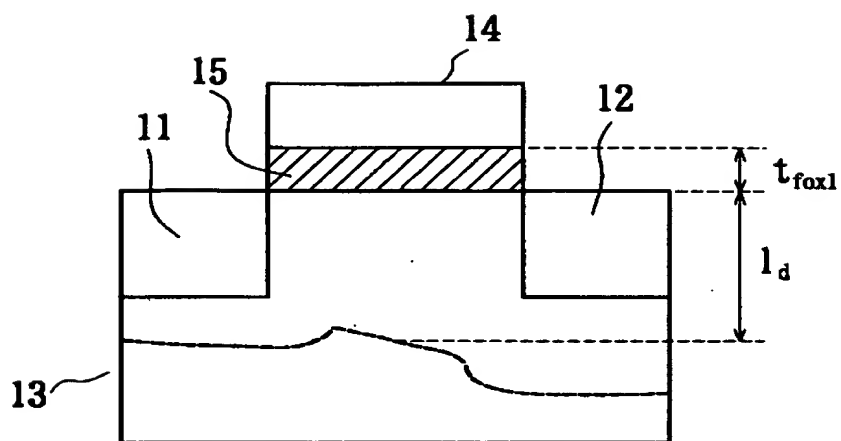
【図 10】



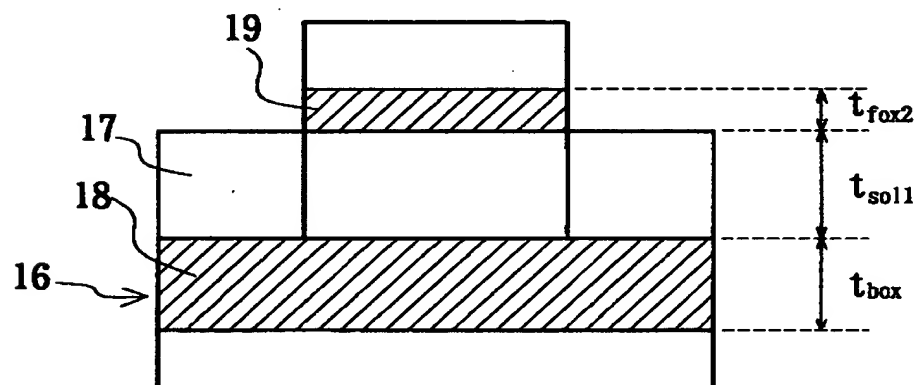
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 しきい値電圧を制御しうるMOSトランジスタの高速性及び消費電力の低減を両立させる。

【解決手段】 基板20に電圧 V_{sub1} が印加されると、ボディ26の絶縁層22に対する接合面付近にホールが誘起されたEIB-MOSトランジスタ構造となる。このように接合面付近にホールが存在することによって、空乏層深さが単結晶層21の厚さ t_{SOI1} に相当することとなる。これによって基板バイアス効果が増大し、しきい値電圧を低下させたまま基板バイアス定数を増大させることができる。そのような効果は、EIB-DTMOSトランジスタ構造にするとともにアキュムレーションモードで動作させた場合、顕著になる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [391012327]

1. 変更年月日	1991年 1月22日
[変更理由]	新規登録
住 所	東京都文京区本郷7丁目3番1号
氏 名	東京大学長